

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月17日  
Date of Application:

出願番号 特願2003-072412  
Application Number:

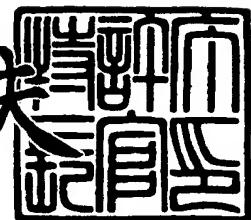
[ST. 10/C] : [JP2003-072412]

出願人 株式会社半導体エネルギー研究所  
Applicant(s):

2004年 1月21日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



(●)

【書類名】 特許願  
【整理番号】 P007033  
【提出日】 平成15年 3月17日  
【あて先】 特許庁長官 太田 信一郎 殿  
【発明者】  
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内  
【氏名】 納 光明  
【発明者】  
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内  
【氏名】 安西 彩  
【発明者】  
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内  
【氏名】 山崎 優  
【発明者】  
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内  
【氏名】 高野 圭恵  
【発明者】  
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内  
【氏名】 浜田 崇  
【特許出願人】  
【識別番号】 000153878  
【氏名又は名称】 株式会社半導体エネルギー研究所  
【代表者】 山崎 舜平

(●)

## 【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

発光素子を駆動するための駆動用 TFT を有し、隣接する前記駆動用 TFT の飽和領域におけるオン電流値の変動率が隣接する前記駆動用 TFT の飽和領域におけるオン電流値の変動率が±12%以下であることを特徴とする表示装置。

【請求項 2】

駆動用 TFT の Vd - Id 特性の飽和領域におけるオン電流値に依存して発光輝度が変動し、隣接する前記駆動用 TFT の飽和領域におけるオン電流値の変動率が±12%以下であることを特徴とする表示装置。

【請求項 3】

駆動用 TFT と、スイッチング用 TFT と、消去用 TFT と、前記駆動用 TFT と接続する発光素子とを有する複数個の画素を備えており、前記駆動用 TFT の Vd - Id 特性の飽和領域におけるオン電流値に依存して発光輝度が変動し、ひとつの画素と、前記画素と隣接する画素とにおける駆動用 TFT の飽和領域におけるオン電流値の変動率が 12% 以下であることを特徴とする表示装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項に於いて、前記駆動用 TFT のチャネル長は、ゲート幅の 5 倍以上であることを特徴とする表示装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項に於いて、前記駆動用 TFT は、パルス発振型のレーザー光照射により形成した半導体層を有することを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置に関し、特にレーザー光照射により形成した半導体層を有する表示装置に関する。

**【0002】****【従来の技術】**

EL (Electro Luminescence) 表示装置等を駆動するための素子として、薄膜トランジスタ（以後、TFTという。）が用いられている。

**【0003】**

TFTを低価格、低コストで作製することを目的として、ガラス基板を用いた低温プロセスが開発されている。低温プロセスでは、TFTの活性層として用いる結晶質半導体膜を作製する方法として、レーザー光を用いた結晶化方法が一般的に用いられている。

**【0004】**

上記のような方法を用いて作製したTFTでは、レーザーの照射条件にばらつきが生じると、これに起因してTFTの電気的特性にもばらつきが生じる。

**【0005】**

TFTの電気的特性がばらつくと、表示画像に輝度ムラ若しくは階調ムラなどの表示ムラが生じるという問題がある。

**【0006】****【発明が解決しようとする課題】**

本発明では、TFTの電気的特性ばらつきを低減し、表示ムラが低減した表示装置を提案することを課題とする。

**【0007】****【課題を解決するための手段】**

本発明の表示装置は、隣接するTFTの飽和領域におけるオン電流値の変動率が±12%以下であるTFTアレイ基板を有することを特徴としている。

**【0008】**

$V_d - I_d$  (ドレイン電圧-ドレイン電流) 特性の飽和領域において流れるオン電流値に依存して発光輝度が変動する表示装置においては、隣接するTFTのオン電流値の差に比例して発光輝度が変化する。

**【0009】**

従って、隣接するTFTのオン電流値の差を小さくすれば、発光輝度の変動も

小さくすることができ、表示画像における表示ムラを小さくすることができる。

#### 【0010】

ここで、オン電流値の差を表すものに、隣接するTFTのオン電流値の差分の絶対値と、隣接するTFTのオン電流値の変動率とがある。

#### 【0011】

隣接するTFTのオン電流値をそれぞれI(A)、I(B)としたとき、隣接するTFTのオン電流値の差分の絶対値は、

$$|I(B) - I(A)| \quad (A)$$

で表される。

#### 【0012】

また、隣接するTFTの飽和領域におけるオン電流値の変動率は、隣接するTFTのオン電流値をそれぞれI(A)、I(B)としたとき、

$$(I(B) - I(A)) / I(A) \times 100 \quad (%)$$

で表される。

#### 【0013】

隣接するTFTのオン電流値の差分が小さい程、発光輝度の変化の絶対値も小さくなり表示ムラが低減する。

#### 【0014】

また、隣接するTFTのオン電流値の変動率が小さくても、発光輝度の変動も小さくなり表示ムラが低減する。

#### 【0015】

ここで、隣接するTFTのオン電流値の差分の絶対値が0.009μA以下であることが好ましい。また隣接するTFTのオン電流値の変動率は±12%以下とすることが好ましい。

#### 【0016】

なお、隣接するTFTは行方向、列方向、斜め方向のいずれの方向に隣接するものであってもよい。

#### 【0017】

### 【発明の実施の形態】

本発明の一態様について図2～5を用いて説明する。

#### 【0018】

本発明の表示装置では、ガラス基板5624上に、発光素子を駆動するための駆動用TFT5607が、複数個、マトリクス状に配列している。

#### 【0019】

図2 (A) は、駆動用TFT5607を有する画素の上面図であり、図2 (B) は、図2 (A) 中の切断線A-A' における断面図である。図2 (A) において、画素には、駆動用TFT5607の他、スイッチング用TFT5605、消去用TFT5606が設けられている。駆動用TFT5607は、半導体層5620と、ゲート絶縁膜5622、ゲート電極5621を有するpチャネル型のTFTである。なお、チャネル長はゲート幅の5倍以上の長さを有している。

#### 【0020】

本実施の形態において、半導体層5620は、蛇行した形状をしている。このため、駆動用TFT5607のチャネルは、列方向及び行方向の複数の方向に配向しており、特に列方向に多く配向している。

#### 【0021】

なお、駆動用TFT5607の構造は、特に限定されるものではなく、シングルゲート構造、或いはマルチゲート構造のいずれでもよい。また、トップゲート構造、或いはボトムゲート構造のいずれでもよい。さらに、シングルドレイン構造、LDD構造のいずれでもよい。チャネル型についてもnチャネル型、pチャネル型のいずれでもよい。

#### 【0022】

半導体層5620は、ガラス基板5624上に、非晶質半導体膜を成膜後、当該非晶質半導体膜にパルス発振型のレーザー光を照射して結晶化した結晶質半導体膜を、素子分離することにより形成されている。なお、レーザー光は、線状に整形された線状レーザー光である。

#### 【0023】

本実施の形態では、レーザー光の長手方向が列方向にはほぼ平行となるようにし、行方向に走査して、非晶質半導体膜にレーザー光を照射する。従って、図3 (

B) に示すように、半導体層5635における複数のチャネル方向のうち、優勢な方向（図3（B）中においては、ゲート幅5635と垂直な方向）と、レーザー光5630の長手方向とが平行になるようにレーザー光は照射されている。

#### 【0024】

なお、本実施の形態のように、非晶質半導体膜に対しレーザー光を照射する以外に、ファーネス、若しくはガスを用いた（又は光）RTAにより結晶化した結晶質半導体膜に、レーザー光を照射する方法を用いて結晶化してもよい。またレーザー光としては、エキシマ、或いはYAG等を媒質としたものを用いることができる。

#### 【0025】

ここで、本発明の表示装置の駆動方法について説明する。

#### 【0026】

図4（A）に示すように、各画素の電流供給線・対向電源間には駆動用TFT5607と発光素子1506とが直列に接続されている。発光素子に流れる電流は、図4（B）に示す駆動用TFT5607のVd-Id曲線と発光素子のV-I曲線との交点が動作点となり、動作点での駆動用TFT5607のソース・ドレイン間電圧と発光素子1506の両電極間の電圧に従って電流が流れる。

#### 【0027】

本実施の形態では、駆動用TFTのゲート電極の電位と電源線（アノード）の電位を調整し、駆動用TFT5607のゲート・ソース間電圧（|V<sub>GS</sub>|）が、ソース・ドレイン間電圧（|V<sub>DS</sub>|）よりも閾値電圧分以上小さくなるようにすることで、駆動用TFT5607が飽和領域で動作するようにしている。

#### 【0028】

駆動用TFT5607を飽和領域で動作させた場合、図5に示すように、発光素子の劣化により発光素子の電圧-電流特性が1611から1612へと変化しても、駆動用TFT5607のドレイン電流（I<sub>DS</sub>）が一定であるため、動作点が1613から1614に変化しても、発光素子1506には一定の電流が流れ。そのため輝度の変動が駆動用TFT5607を線形領域で動作させたときと比較して少ない。

**【0029】**

従って、複数ある駆動用TFTの個々のばらつきに起因した表示ムラを低減するには、特に駆動用TFTの飽和領域におけるドレイン電流値のばらつきを低減することが重要となる。

**【0030】**

以上に記した表示装置では、隣接するTFTのオン電流値の変動率は、±12%以下である。これにより、表示装置において、特にレーザー光の照射強度ばらつきに起因して発生する縞状の表示ムラを低減することができる。なお、TFTの隣接する方向は、行方向、列方向、斜め方向のいずれの方向に隣接したものでもよい。なお、本発明は、本実施の形態に示したような発光装置に限らず、電界放出ディスプレイ (FED:Field Emission Display) 等にも適用可能である。

**【0031】****【実施例】****(実施例1)**

本実施例では、本発明の表示装置の作製方法について説明する。

**【0032】**

基板301には、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板等を用いることができる。また、SUS基板を含む金属基板またはシリコン基板の表面に絶縁膜を形成したものを用いても良い。プラスチック等の可撓性を有する合成樹脂からなる基板は、一般的に上記基板と比較して耐熱温度が低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。

**【0033】**

次に、第1の電極302を覆うように第1の絶縁膜303を成膜する。本実施の形態では、第1の絶縁膜303は、2つの絶縁膜（第1の絶縁膜A 303a、第1の絶縁膜B 303b）を積層することで形成されている。第1の絶縁膜A 303aは窒化酸化珪素膜 (SiNO) を用い、50nmの厚さで形成する。第1の絶縁膜B 303bは酸化窒化珪素膜を100nmの厚さで成膜して形

成する。なお第1の絶縁膜303はこの構成に限定されず、単層の絶縁膜で形成されていても良いし、3層以上の絶縁膜で形成されていても良い。また材料もこれに限定されない。

#### 【0034】

次に、第1の絶縁膜303の上に54nmの厚さの、非晶質半導体膜304をプラズマCVD法で形成する。また、非晶質半導体膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。

#### 【0035】

用いる半導体は珪素のみに限定されず、例えばシリコンゲルマニウムを用いることができる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は0.01～4.5 atomic%程度であることが好ましい。

#### 【0036】

なお、第1の絶縁膜303と非晶質半導体膜304をいずれもプラズマCVD法で作製する場合、これらの2つの膜を大気に曝すことなく連続して形成しても良い。

#### 【0037】

次に、非晶質半導体膜304への触媒の添加する。本実施の形態では、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液をスピナーで塗布した。なお、酢酸ニッケル塩溶液の馴染みをよくするために、非晶質半導体膜304の表面をオゾン含有水溶液で処理することで極薄い酸化膜を形成し、その酸化膜をフッ酸と過酸化水素水の混合液でエッティングして清浄な表面を形成した後、再度オゾン含有水溶液で処理して極薄い酸化膜を形成しておいても良い。半導体膜の表面は本来疎水性なので、このように酸化膜を形成しておくことにより酢酸ニッケル塩溶液を均一に塗布することができる（図6（A））。

#### 【0038】

勿論、非晶質半導体膜への触媒の添加は上記方法に限定されず、スパッタ法、蒸着法、プラズマ処理などを用いて添加するようにしても良い。

#### 【0039】

次に、装置の設定温度750℃で180秒間、RTA (Rapid Thermal Anneal) による加熱処理して非晶質半導体膜304を結晶化し、結晶質半導体膜306を形成する。このとき、同時に非晶質半導体膜304中に含有されている水素も放出される。

#### 【0040】

加熱処理の方法としては、上記以外に、ファーネスアニール法を用いることも可能である。ファーネスアニール法を用いる場合は、500℃で1時間、加熱処理をして水素を放出した後、さらに550℃で4時間加熱処理をして結晶化するのが好ましい。

#### 【0041】

なお、本実施の形態では触媒元素としてニッケル (Ni) を用いているが、その以外にも、ゲルマニウム (Ge)、鉄 (Fe)、パラジウム (Pd)、スズ (Sn)、鉛 (Pb)、コバルト (Co)、白金 (Pt)、銅 (Cu)、金 (Au) といった元素を用いても良い。

#### 【0042】

次に、結晶質半導体膜306にレーザー光を照射して、結晶性をさらに向上させる。本実施例では、発振周波数30Hz、ビーム幅476μm、エネルギー密度（設定値）529mJ/cm<sup>2</sup>のパルスレーザ光であるエキシマレーザ光を用いる。結晶質珪素膜306が形成された基板301を載せた載置台を移動速度1mm/secで移動させ、レーザー光を結晶質珪素膜306に照射することにより、レーザー光は、オーバーラップ率93.0%として結晶質珪素膜306に照射する。なお、第1のレーザー光は酸素を20%、窒素を80%含む雰囲気中で照射している。

#### 【0043】

レーザー光は、実施の形態に示したのと同様に、半導体層5635における複数のチャネル方向のうち、優勢な方向と、レーザー光5630の長手方向とが平

行になるようにレーザー光は照射されている。

#### 【0044】

次に、結晶性半導体膜306内に存在する触媒元素のゲッタリングについて説明する。触媒元素を用いる結晶化により、結晶性半導体膜306内には、触媒元素（ここではニッケル）が平均的な濃度として $1 \times 10^{19}/\text{cm}^3$ を越える程度に残存しているものと考えられる。触媒元素が残留していると TFT の特性に悪影響を及ぼす可能性があるため、触媒元素濃度を低減させる工程を設ける必要がある。

#### 【0045】

ゲッタリングの方法は様々であるが、本実施例では結晶性半導体膜306をパターニングする前にゲッタリングする。まず、図6（B）に示すように結晶性半導体膜306の表面にバリア層307を形成する。バリア層307は、後にゲッタリングサイトを除去する際に、結晶性半導体膜306がエッチングされるのを防ぐために設ける。

#### 【0046】

バリア層307の厚さは約10nm程度とする。オゾン水で処理することにより形成されるケミカルオキサイドをバリア層として用いても良い。また、硫酸、塩酸、硝酸などと過酸化水素水を混合させた水溶液で処理しても同様にケミカルオキサイドを形成することができる。他には、酸化雰囲気中のプラズマ処理する方法や、酸素含有雰囲気中の紫外線照射によりオゾンを発生させて酸化処理する方法等を用いても良い。また、クリーンオーブンを用い、200～350℃程度に加熱して薄い酸化膜を形成しバリア層としても良い。或いは、プラズマCVD法やスパッタ法、蒸着法などで1～5nm程度の酸化膜を堆積してバリア層としても良い。いずれにしても、ゲッタリング工程時に、触媒元素がゲッタリングサイト側に移動できて、ゲッタリングサイトの除去工程時には、エッチング液がしみこまない（結晶性半導体膜306をエッチング液から保護する）膜、例えば、オゾン水で処理することにより形成されるケミカルオキサイド膜、酸化シリコン膜（SiO<sub>x</sub>）、または多孔質膜を用いればよい。

#### 【0047】

次いで、バリア層307上にスパッタ法でゲッタリングサイト308として、膜中に希ガス元素を $1 \times 10^{20}/\text{cm}^3$ 以上の濃度で含むゲッタリング用の半導体膜（代表的には、非晶質シリコン膜）を50nmの厚さで形成する。後に除去されるゲッタリングサイト308は結晶性半導体膜306とエッティングの選択比を大きくするため、密度の低い膜を形成することが好ましい。

#### 【0048】

なお、希ガス元素は半導体膜中でそれ自体は不活性であるため、結晶性半導体膜306に悪影響を及ぼすことはない。また、希ガス元素としてはヘリウム（He）、ネオン（Ne）、アルゴン（Ar）、クリプトン（Kr）、キセノン（Xe）から選ばれた一種または複数種を用いる。

#### 【0049】

次に、加熱処理を施すことでゲッタリングを行なう（図6（B））。加熱処理は、設定温度750℃で180秒間、RTA法を用いて行う。ファーネスアニール法で行う場合には、窒素雰囲気中にて450～600℃で0.5～12時間の加熱処理を行う。

#### 【0050】

ゲッタリング工程終了後、ゲッタリングサイト308を選択的にエッティングして除去する。エッティングの方法としては、 $\text{ClF}_3$ によるプラズマを用いないドライエッティング、或いはヒドラジンや、テトラエチルアンモニウムハイドロオキサイド（化学式 $(\text{CH}_3)_4\text{N}^+\text{OH}^-$ ）を含む水溶液などアルカリ溶液によるウエットエッティングで行なうことができる。この時バリア層307はエッティングストップとして機能する。また、バリア層307はその後フッ酸により除去する（図6（C））。

#### 【0051】

次に、TFTの閾値を制御するための不純物添加を行う。本実施例では、p型を付与する不純物であるボロンを添加する。

#### 【0052】

次に、結晶性半導体膜306をパターニングし、島状の半導体膜309、310を形成する（図6（D））。

### 【0053】

次に、半導体膜309、310を覆う酸化珪素膜を115nmの膜厚で成膜して、第2の絶縁膜311を形成する。第2の絶縁膜311は、後の第2の電極を形成するために行なうドライエッチングにおいて、膜厚が減少するので、その減少分を考慮に入れて膜厚を設定するのが望ましい。

### 【0054】

第2の絶縁膜311には、例えば酸化珪素、窒化珪素または窒化酸化珪素等を用いることができる。本実施例では、第2の絶縁膜311を単層の絶縁膜で構成しているが、2層以上の複数の絶縁膜で構成されていても良い。また成膜方法は、プラズマCVD法、スパッタ法などを用いることができる。例えば、プラズマCVD法で酸化珪素で第2の絶縁膜311を成膜する場合、TEOS (Tetraethyl Orthosilicate) とO<sub>2</sub>を混合したガスを用い、反応圧力40Pa、基板温度300～400℃、高周波(13.56MHz)電力密度0.5～0.8W/cm<sup>2</sup>とし、成膜する。

### 【0055】

また窒化アルミニウムを第2の絶縁膜311として用いることができる。窒化アルミニウムは熱伝導率が比較的高く、TFTで発生した熱を効率的に発散させることができる。またアルミニウムの含まれない酸化珪素や酸化窒化珪素等を形成した後、窒化アルミニウムを積層したものを第2の絶縁膜311として用いても良い。

### 【0056】

次に、第2の絶縁膜311上に導電膜を成膜する(図6(E))。本実施の形態ではTaNからなる第1の導電膜312aを30nmの厚さで、Wからなる第2の導電膜312bを370nmの厚さで成膜する。具体的に、第1の導電膜312aに用いるTaNは、ターゲットに純度99.99%のTaを用い、チャンバー内の温度を室温、Arの流量を50ml/min、N<sub>2</sub>の流量を10ml/min、チャンバー内の圧力0.6Pa、成膜電力1kWとし、成膜速度約40nm/minで成膜した。また第2の導電膜312bに用いるWは、ターゲットに純度99.99%のWを用い、チャンバー内の温度を230℃、Arの流量を

100 ml/min、チャンバー内の圧力1.5 Pa、成膜電力6 kWとし、成膜速度約390 nm/minで成膜した。

### 【0057】

なお本実施の形態では、2層の導電膜を用いて第2の電極を形成する例について説明するが、導電膜は単層であっても良いし、また3層以上の複数の層で形成されていても良い。また各導電層の材料は本実施の形態に示したものに限定されない。

### 【0058】

具体的に各導電膜には、Ta、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金もしくは化合物で形成することができる。例えば1層目がTaで2層目がW、または1層目がTaNで2層目がAl、1層目がTaNで2層目がCuといった組み合わせも考えられる。また1層目と2層目のいずれか一方にAgPdCu合金を用いても良い。W、AlとSiの合金（Al-Si）、TiNを順次積層した3層構造としてもよい。Wの代わりに窒化タンゲステンを用いてもよいし、AlとSiの合金（Al-Si）に代えてAlとTiの合金膜（Al-Ti）を用いてもよいし、TiNに代えてTiを用いてもよい。ただし、複数の導電膜を成膜する場合、エッチング後に各層の導電膜の、チャネル長方向における幅に差を持たせたいならば、互いにエッチングの選択比のとれる材料を用いる。

### 【0059】

なお、導電膜の材料によって、適宜最適なエッチングガスを選択することが重要である。

### 【0060】

次にマスク314を形成し、図7（A）に示すように第1の導電膜312a及び第2の導電膜312bをエッチングする（第1のエッチング処理）。本実施の形態ではICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いて行なった。エッチングガスとしてCl<sub>2</sub>とCF<sub>4</sub>とO<sub>2</sub>を混合したガスを用い、チャンバー内のエッチングガスの圧力を1.0 Paとする。そして、コイル型の電極に500W、13.56MHzの高周波（RF）電力を投入し、

プラズマを生成する。また基板が載置されたステージ（下部電極）に150W、13.56MHzの高周波（RF）電力を投入し、これにより基板に自己バイアス電圧が印加される。その後、エッティングガスをCl<sub>2</sub>とCF<sub>4</sub>に変更し、トータルの圧力を1.0Paとした。またコイル型の電極に500Wの高周波（13.56MHz）電力を投入し、基板側（試料ステージ）には20Wの高周波（13.56MHz）電力を投入した。

#### 【0061】

CF<sub>4</sub>とCl<sub>2</sub>をエッティングガスとして用いると、第1の導電膜312aであるTaNと、第2の導電膜312bであるWのエッティングレートがほぼ等しくなり、共に同じ程度エッティングされる。

#### 【0062】

この第1のエッティング処理により、下層315aと上層315bとで構成された第1の形状の導電膜315と、下層316aと上層316bとで構成された第1の形状の導電膜316とが形成される。なおこの第1のエッティング処理において、下層315a、316aと上層315b、316bの側面がややテーパー状になる。また導電膜の残渣を残さないようにエッティングすると、第1の形状の導電膜315、316で覆われていない第2の絶縁膜311の表面が、5～10nm程度またはそれ以上エッティングされることがある。

#### 【0063】

次に図7（B）に示すように、第1のエッティング処理で表面がエッティングされて幅が小さくなったマスク314を用い、第1の形状の導電膜315、316をエッティング（第2のエッティング処理）する。第2のエッティング処理でも第1のエッティング処理と同じくICPエッティング法を用いる。エッティングガスはSF<sub>6</sub>、Cl<sub>2</sub>、O<sub>2</sub>を混合したガスを用い、チャンバー内のエッティングガスの圧力を1.3Paとする。そして、コイル型の電極に700W、13.56MHzの高周波電力を投入し、プラズマを生成する。また基板が載置されたステージ（下部電極）に10W、13.56MHzの高周波電力を投入し、これにより基板に自己バイアス電圧が印加される。

#### 【0064】

SF<sub>6</sub>とCl<sub>2</sub>を混合したガスにO<sub>2</sub>を加えることで、Wのエッチングレートが増加し、また第1の形状の導電膜315、316の下層315b、316bを形成しているTaNのエッチングレートが極端に低下するため、選択比をとることができます。

#### 【0065】

第2のエッチング処理によって、第2の形状の導電膜317（下層を317a、上層を317bとする）と、第2の形状の導電膜318（下層を318a、上層を318bとする）が形成される。上層317b、318bのチャネル長方向における幅は、下層317a、317bの幅よりも短くなっている。なお第2のエッチング処理によって、第2の形状の導電膜317、318で覆われていない第2の絶縁膜311の表面が、5～10nm程度またはそれ以上エッチングされる。

#### 【0066】

次に図7（B）に示すように、第2の形状の導電膜317、318をマスクとして用い、半導体膜309、310にn型の導電性を付与する不純物を添加する（第1のドーピング処理）。n型を付与する不純物元素は、ドナーとして機能するP、As、Sb等の5族原子やS、Te、Se等の6族原子を用いるが、本実施の形態ではPを用いる。第1のドーピング処理により、自己整合的に第1の不純物領域320、321が形成される。第1の不純物領域320、321には $1 \times 10^{18} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度範囲でn型を付与する不純物元素が添加されている。

#### 【0067】

次に図7（C）に示すように、レジストからなるマスク360、361で半導体膜309の一部と島状の半導体膜310全体とを覆い、さらに第2の形状の導電膜317、318の上層317b、318bをマスクとして、第2のドーピング処理を行う。図示していないが、第2のドーピング処理により、第2の形状の導電膜317と同様の断面形状を有する導電膜の下層を貫通して不純物が添加され、前記導電膜とオーバーラップしたLDD領域を形成する。なお、本工程により導電膜とオーバーラップするLDD領域を形成したTFTは、駆動回路用のT

F Tとして機能する。

#### 【0068】

続いて、第2のドーピング処理より加速電圧を下げて第3のドーピング処理を行う。第3のドーピング処理により、TFTのソース或いはドレインとして機能する第3の不純物領域324が形成される。なお、半導体膜309のうち、マスク360により覆われていた領域には第3のドーピング処理による不純物添加はされず、当該領域322は、TFTのLDD領域となる。第3の不純物領域324には $1 \times 10^{19} \sim 5 \times 10^{21}$ atoms/cm<sup>3</sup>の濃度範囲でn型を付与する不純物元素が添加される。

#### 【0069】

なお、適当な加速電圧にすることで、第2のドーピング処理および第3のドーピング処理を1回のドーピング処理で済まし、低濃度不純物領域および高濃度不純物領域を形成することも可能である。

#### 【0070】

また、本実施例とは異なり、pチャネル型のTFTが形成される島状の半導体膜310に、マスク数削減のために敢えてマスクを設けず、p型の導電型を付与する不純物の濃度を高くして、島状の半導体膜の極性をp型に反転させても良い。

#### 【0071】

図7(D)に示すように、レジストからなるマスク326でnチャネル型の島状の半導体膜309を覆い、島状の半導体膜310にp型の導電型を付与する不純物をドーピングする(第4のドーピング処理)。この第4のドーピング処理において、第2の形状の導電膜318がマスクとして機能し、pチャネル型TFTに用いる島状の半導体膜310にp型を付与する不純物元素が添加された第4の不純物領域327が形成される。本実施の形態ではジボラン( $B_2H_6$ )を用いたイオンドープ法で形成する。なお、本工程に於いてp型を付与する不純物元素の濃度が $2 \times 10^{20} \sim 2 \times 10^{21}$ atoms/cm<sup>3</sup>となるようにドーピング処理する。

#### 【0072】

以上までの工程でそれぞれの島状の半導体膜に不純物領域が形成される。

### 【0073】

次に、島状の半導体膜309、310と、第2の絶縁膜311と、第2の形状の導電膜317、318とを覆う酸化珪素膜を100nmの膜厚で成膜し、第1の層間絶縁膜330とする（図8（A））。第1の層間絶縁膜330は、上記のもの以外に珪素を含む酸化珪素、珪化珪素、珪化酸化珪素などの絶縁膜を用いることができる。

### 【0074】

次に、410℃で1時間の熱処理をして、水素化する。なお、本実施例では、第1の層間絶縁膜中に含有されている水素を利用して水素化する。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

### 【0075】

上記一連の工程によって、スイッチング用、若しくは消去用として用いるnチャネル型TFT331と、発光素子に供給する電流を制御するpチャネル型TFT332が形成されたTFTアレイ基板を作製することができる。

### 【0076】

なお、各々のTFT構造については、本実施例で示したものに限らず他の構造のものを用いてもよい。

### 【0077】

なお上記プラズマエッティングはICPエッティング法に限定されない。例えば、ECR（Electron Cyclotron Resonance：電子サイクロトロン共鳴）エッティング法、RIEエッティング法、ヘリコン波エッティング法、ヘリカル共鳴エッティング法、パルス変調エッティング法やその他のプラズマエッティング法を用いていても良い。

### 【0078】

また本発明において用いるゲッタリング工程は、本実施の形態に示した方法に限定されない。その他の方法を用いて半導体膜中の触媒元素を低減するようにしても良い。例えば、特開平10-135468号公報または特開平10-135469号公報に記載されているように、触媒元素をリンのゲッタリング作用を用

いて除去するようにしても良い。

#### 【0079】

次に、第1の層間絶縁膜330を覆うように、非感光性のアクリル膜を0.8  $\mu\text{m}$ の膜厚で成膜し、第2の層間絶縁膜333を形成する。さらに、スパッタ法により窒化珪素膜を100nmの膜厚で成膜して第3の層間絶縁膜334を成膜する。第2の層間絶縁膜333としては、アクリル以外にポリイミドなどの樹脂を用いてもよい。また、第3の層間絶縁膜334は、水分や酸素などのOLEDの劣化を促進させる原因となる物質を、他の絶縁膜と比較して透過させにくい膜であれば上記以外のものでもよく、例えばDLC膜、窒化炭素膜を用いることができる。

#### 【0080】

次いで、第2の絶縁膜311、第1の層間絶縁膜330、第2の層間絶縁膜333及び第3の層間絶縁膜334をエッチングし、コンタクトホールを形成する。そして、島状の半導体膜309、310とコンタクトを形成する配線335～338を形成する。

#### 【0081】

次に、第3の層間絶縁膜334及び配線335～338を覆って透明導電膜（本実施例では、非晶質のインジウム錫酸化物（ITO））を110nmの膜厚で成膜した後、パターニングすることで、pチャネル型TFT332の島状の半導体膜310とコンタクトを形成している配線338に接続した、発光素子の電極（陽極）340を形成する（図8（B））。パターニング後、200℃で1時間、熱処理してITOを結晶化する。なお、電極340に用いる透明導電膜は、ITOのみならず、酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合した透明導電膜を用いても良い。電極340は、その表面が平坦化されるように、CMP法、ポリビニルアルコール系の多孔質体で拭净で研磨しても良い。またCMP法を用いた研磨後に、電極340の表面に紫外線照射、酸素プラズマ処理などを行ってもよい。

#### 【0082】

そして、隔壁として用いる有機樹脂膜341を、第3の層間絶縁膜334上に

形成する。本実施例では、ポジ型の感光性アクリルを1.5  $\mu\text{m}$ の厚さで成膜した後、露光、現像し、電極340と重なる領域において開口部を有する有機樹脂膜341を形成する。なお、有機樹脂膜341の開口部における端部は、該端部において後に成膜される発光層に穴があかないように、丸みを帯びさせることが望ましい。具体的には、開口部における有機樹脂膜341の断面が描いている曲線の曲率半径が、0.2～2  $\mu\text{m}$ 程度であることが望ましい。

#### 【0083】

本実施例ポジ型の感光性アクリルを用いているが、これ以外に、ネガ型のアクリルを用いてもよい。また感光性のポリイミドやレジストを用いて有機樹脂膜341を形成しても良い。ネガ型のアクリルを用いて有機樹脂膜341を形成した場合、開口部における端部が、S字状の断面形状となる。このとき開口部の上端部及び下端部における曲率半径は、0.2～2  $\mu\text{m}$ とすることが望ましい。

#### 【0084】

上記構成により、後に形成される発光層や陰極のカバレッジを良好とすることができます、電極340と陰極が発光層に形成された穴においてショートするのを防ぐことができる。また発光層の応力を緩和させることで、発光領域が減少するシーリングとよばれる不良を低減させることができ、信頼性を高めることができる。

#### 【0085】

次に発光層を成膜する前に、吸着した水分や酸素等を除去するために真空雰囲気下で加熱しておく。本実施例では、200°C、1時間、真空雰囲気下で加熱処理を行なう。真空度は望ましくは $3 \times 10^{-7}$  Torr以下とし、可能であるならば $3 \times 10^{-8}$  Torr以下とするのが最も望ましい。そして、有機樹脂膜341に真空雰囲気下で加熱処理を施した後に発光層を成膜する場合、成膜直前まで真空雰囲気下に保つことで、信頼性をより高めることができる。

#### 【0086】

次に、電極340の上に、0.3重量%のジメチルキナクリドン(DMQd)を含有するAlq3を37.5 nmの膜厚で成膜して発光層342を形成する。なお、発光層342の下方には正孔注入層としてCuPcを20 nm、正孔輸送

層として $\alpha$ -NPDを40nmで成膜し、発光層342の上方には電子輸送層としてAlq3を37.5nmの膜厚で成膜する。

#### 【0087】

なお、発光層を形成するための材料や膜厚などは上記のものに限らず他の公知の材料を用いても構わない。また、多色発光するために、積層構造、材料等の異なる発光層を複数形成しても構わない。また、上記に示したような有機材料以外に無機材料を用いて発光層を形成しても構わない。

#### 【0088】

次に、発光素子の電極（陰極）343を形成する。発光素子の電極343は、フッ化カルシウム（CaF2）を1nmと数%のLiを含有したアルミニウム（Al-Li）を200nmとを積層して形成する。

#### 【0089】

以上のようにして、発光素子の電極340、発光層342、発光素子の電極343が積層した発光素子344を形成する。なお、本実施例において、発光素子の電極1544は透光性を有しない膜で形成されているが、アルカリ金属又はアルカリ土類金属を含有し、透光性のある薄膜と、ITOとを積層した膜を用いて発光素子の電極343を形成し、陰極側から採光可能な両面発光型若しくは上面発光型の発光素子としてもよい。

#### 【0090】

次に、発光素子344を保護するための保護膜345を形成する。本実施例では、スパッタ法により窒化珪素膜を形成し、保護膜345を形成した。なお、窒化珪素膜以外にも、DLC（Diamond like Carbon）など、他の材料を用いて形成してもよい。

#### 【0091】

さらに、封止基板およびFPCを装着し、本発明を適用した表示装置を作製する。なお、水分混入による発光素子の劣化防止用として、封止基板に乾燥剤を取り付けてもよい。

#### 【0092】

図9は、本発明の表示装置の上面図である。点線で示された2001はソース

信号線駆動回路、2002は画素部、2003はゲート信号線駆動回路である。

#### 【0093】

2008(2008a、2008b)はソース信号線駆動回路2001及びゲート信号線駆動回路2003に入力される信号を伝送するための配線であり、外部入力端子となるFPC(フレキシブルプリントサーキット)2009からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤(PWB)が取り付けられていても良い。

#### 【0094】

図10(A)、(B)は、以上のような方法で作製したTFTアレイ基板において、レーザー光の走査方向と平行な方向に一列に並んだ複数のTFTの飽和領域におけるオン電流特性を測定した結果である。測定した複数個のTFTは、並んでいる順にそれぞれn段目のTFTとし、アドレスが指定されている。従って、図10(A)、(B)より、TFTのアドレス(TFTが形成されている位置)に対し、そのTFTのオン電流値がどのように変化しているかが分かる。なお、図10(A)は本発明の表示装置におけるTFTのデータであり、図10(B)は従来技術の表示装置におけるTFTのデータである。

#### 【0095】

測定したTFTは、いずれも駆動用TFTと同様の構造を有し、チャネル長420μm、チャネル幅6μmである。チャネル型はpチャネル型である。また駆動用TFTと同様に63μm間隔で並んでいる。

#### 【0096】

なお、本発明(図10(A))は、ドレイン電圧-10V、ゲート電圧-3Vのときのドレイン電流値をオン電流値とし、従来技術(図10(B))は、ドレイン電圧-10V、ゲート電圧-4.75Vのときのドレイン電流値をオン電流値としている。本発明と従来技術とでゲート電圧値が異なっているのは、本発明の表示装置と従来技術の表示装置とで、同等の輝度が得られるときのTFT特性について比較するため、本発明および従来技術の表示装置の駆動方法と同様に、ゲート電圧を変えてオン電流値を調整しているからである。

#### 【0097】

また、図1は、図10（A）、（B）のデータを元に、本発明及び従来技術の表示装置において、隣接するTFTのオン電流値の変動率の確率分布を示す図である。これより、本発明の方が従来技術よりも隣接するTFTの変動率が小さいことが分かる。

### 【0098】

表1は、図10（A）、（B）のデータを元に、本発明及び従来技術の表示装置において、TFT全体のばらつき（%）と、隣接するTFTのオン電流値の変動率の最大値（%）とを比較したものである。

【表1】

	本発明	従来技術
面内ばらつき (%)	6.95	7.25
オン電流値の変動率の最大値 (%)	11.7	26.4

### 【0099】

以上のデータより、本発明と従来技術とでは、TFT全体のばらつきは殆ど変わらないが、隣接TFTオン電流値変動率の最大値は、本発明では11.7%、従来技術では26.4%（絶対値）と、本発明の方が従来技術よりも2倍以上小さい値を示すことが分かる。また、隣接するTFTのオン電流値の差分の絶対値の最大値は、本発明では0.0083μAであり、従来技術では、0.0158μAである。

### 【0100】

図11（A）は、本発明を適用して作製した発光装置における表示画像を撮影した写真図である。図11（B）は、従来技術を用いて作製した発光装置における表示画像を撮影した写真図である。表示画像はいずれも单一輝度、単一色となるように電気信号を入力し、表示したときのものである。なお、暗室にて画像を表示し、撮影している。

### 【0101】

図11（A）、（B）より、従来技術で作製した表示画像においては、縞状の表示ムラが出ているが、本発明を用いて作製した表示画像においては、表示ムラは解消されていることがわかる。

**【0102】**

以上のように、表示装置において、特にレーザー光の照射強度ばらつきに起因して発生する縞状の表示ムラを低減することができる。

**【0103】****(実施例2) 電子機器**

本実施例においては、本発明を適用した電子機器について説明する。本発明を適用することにより、表示ムラのない良好な画像を写す表示装置を搭載した電子機器を提供できる。

**【0104】**

図12 (A) は表示装置であり、筐体5501、支持台5502、表示部5503を含む。本発明は表示部5503を有する表示装置に適用が可能である。

**【0105】**

図12 (B) はビデオカメラであり、本体5511、表示部5512、音声入力5513、操作スイッチ5514、バッテリー5515、受像部5516などによって構成されている。

**【0106】**

図12 (C) は、本発明を適用して作製したノート型のパーソナルコンピュータであり、本体5501、筐体5502、表示部5503、キーボード5504などによって構成されている。

**【0107】**

図12 (D) は、本発明を適用して作製した携帯情報端末 (PDA) であり、本体5531には表示部5532と、外部インターフェイス5535と、操作ボタン5534等が設けられている。また操作用の付属品としてスタイラス5532がある。

**【0108】**

図12 (E) はデジタルカメラであり、本体5551、表示部 (A) 5552、接眼部5553、操作スイッチ5554、表示部 (B) 5555、バッテリー5556などによって構成されている。

**【0109】**

図12(F)は、本発明を適用して作製した携帯電話である。本体5561には表示部5564と、音声出力部5562操作スイッチ5565、アンテナ5566等が設けられている。

### 【0110】

#### 【発明の効果】

本発明により、表示装置において、特にレーザー光の照射強度ばらつきに起因して発生する縞状の表示ムラを低減することができる。

### 【0111】

#### 【図面の簡単な説明】

【図1】隣接するTFTのオン電流値変動率の確率分布図。

【図2】本発明について説明する図。

【図3】本発明について説明する図。

【図4】本発明について説明する図。

【図5】本発明について説明する図。

【図6】本発明の表示装置の作製方法について説明する図。

【図7】本発明の表示装置の作製方法について説明する図。

【図8】本発明の表示装置の作製方法について説明する図。

【図9】本発明を適用したモジュールの模式図。

【図10】TFTの位置とオン電流値との関係を表す図。

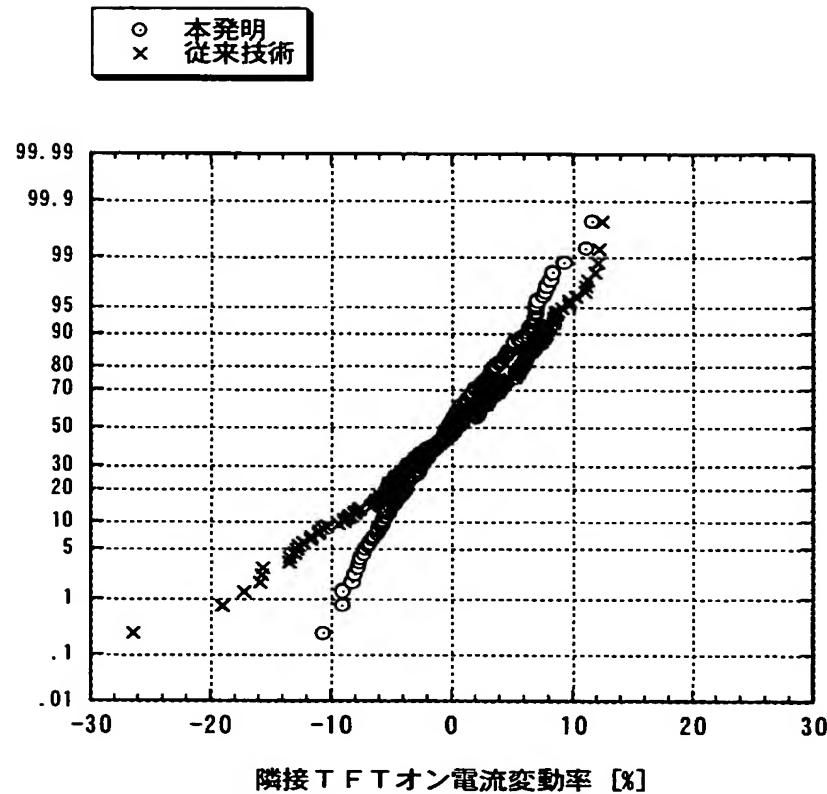
【図11】本発明の表示装置と従来技術の表示装置の表示状態を比較した図。

【図12】本発明を適用した電子機器の図。

#### 【符号の説明】

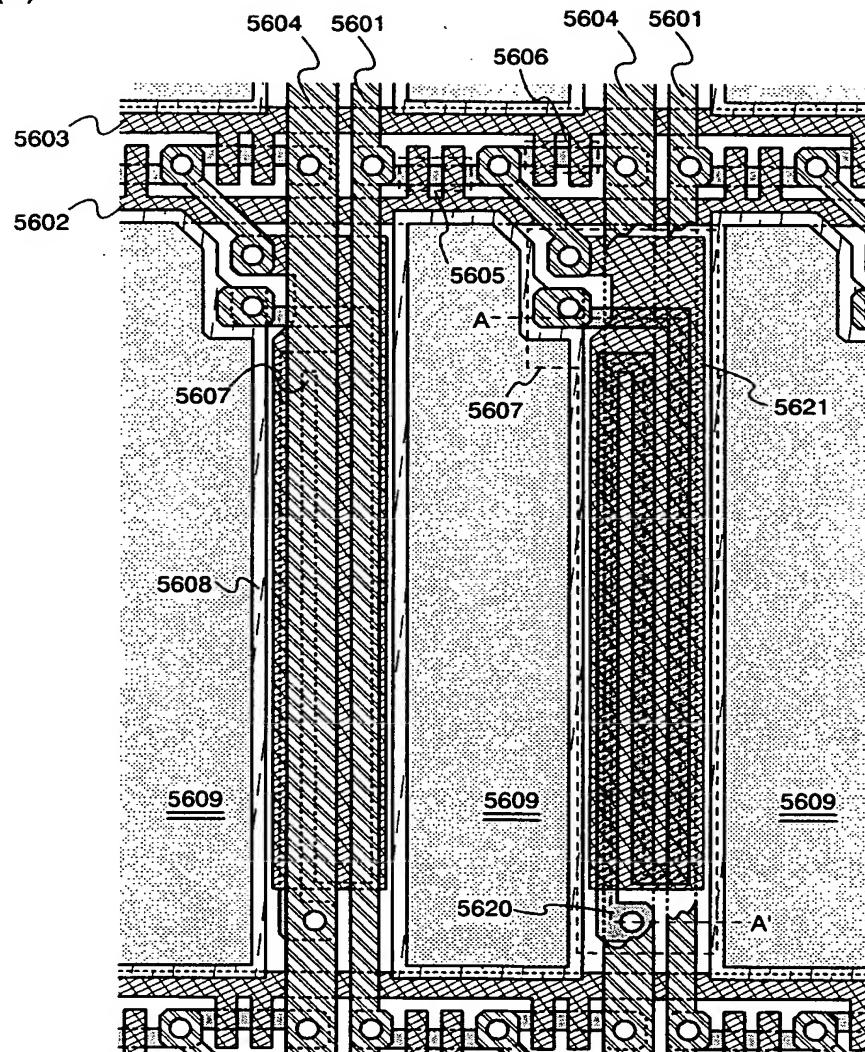
【書類名】 図面

【図 1】

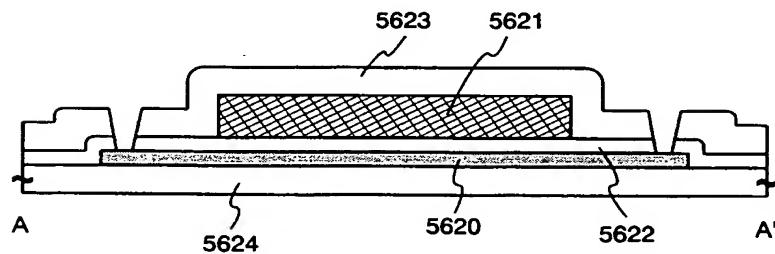


【図 2】

(A)



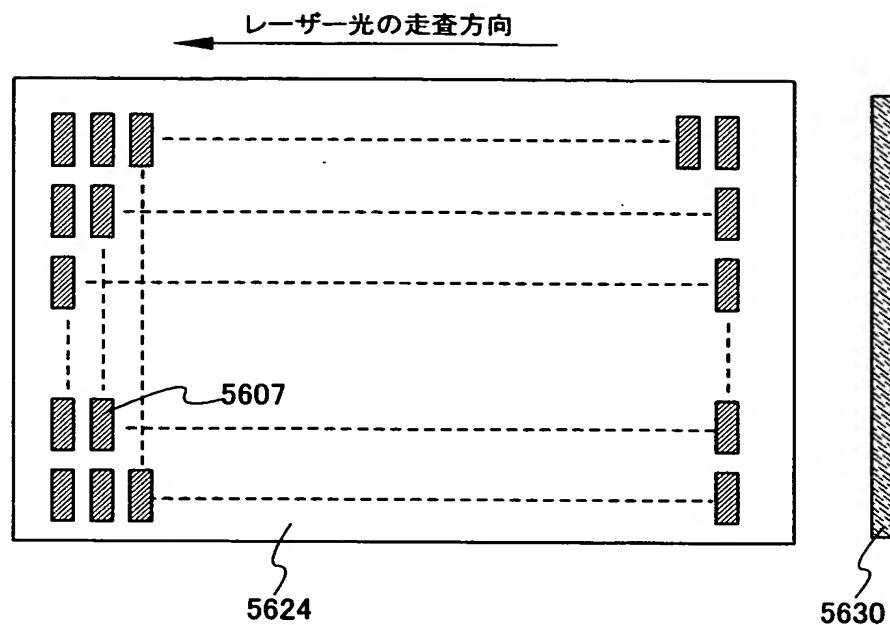
(B)



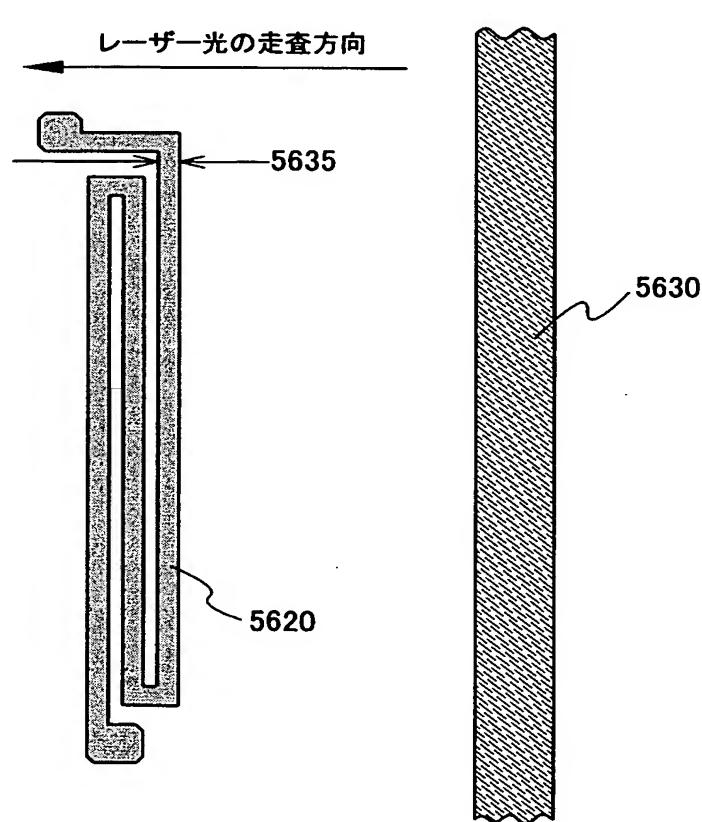
5601 ソース信号線 5602 第1のゲート信号線 5603 第2のゲート信号線 5604 電流供給線  
 5605 スイッチング用TFT 5606 消去用TFT 5607 駆動用TFT 5608 画素電極  
 5609 発光エリア 5620 半導体層 5621 ゲート電極 5622 ゲート絶縁膜  
 5623 層間絶縁膜 5624 基板

【図3】

(A)

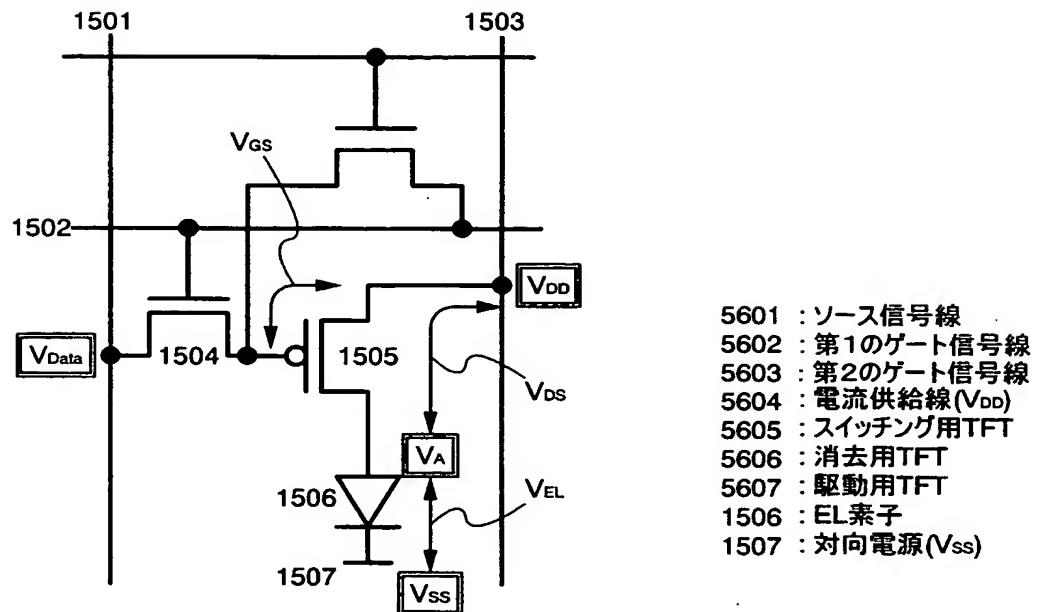


(B)

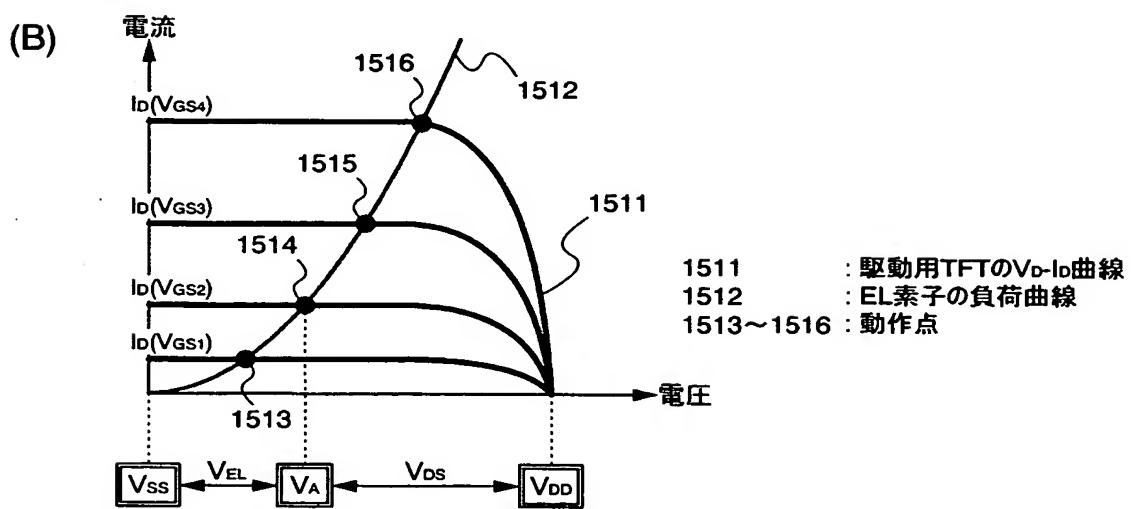


【図4】

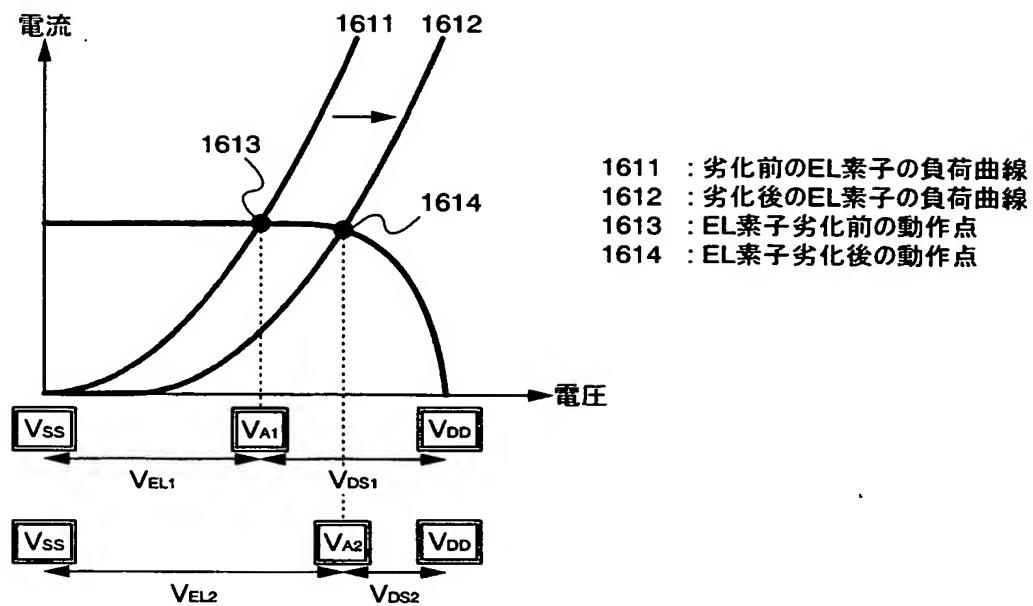
(A)



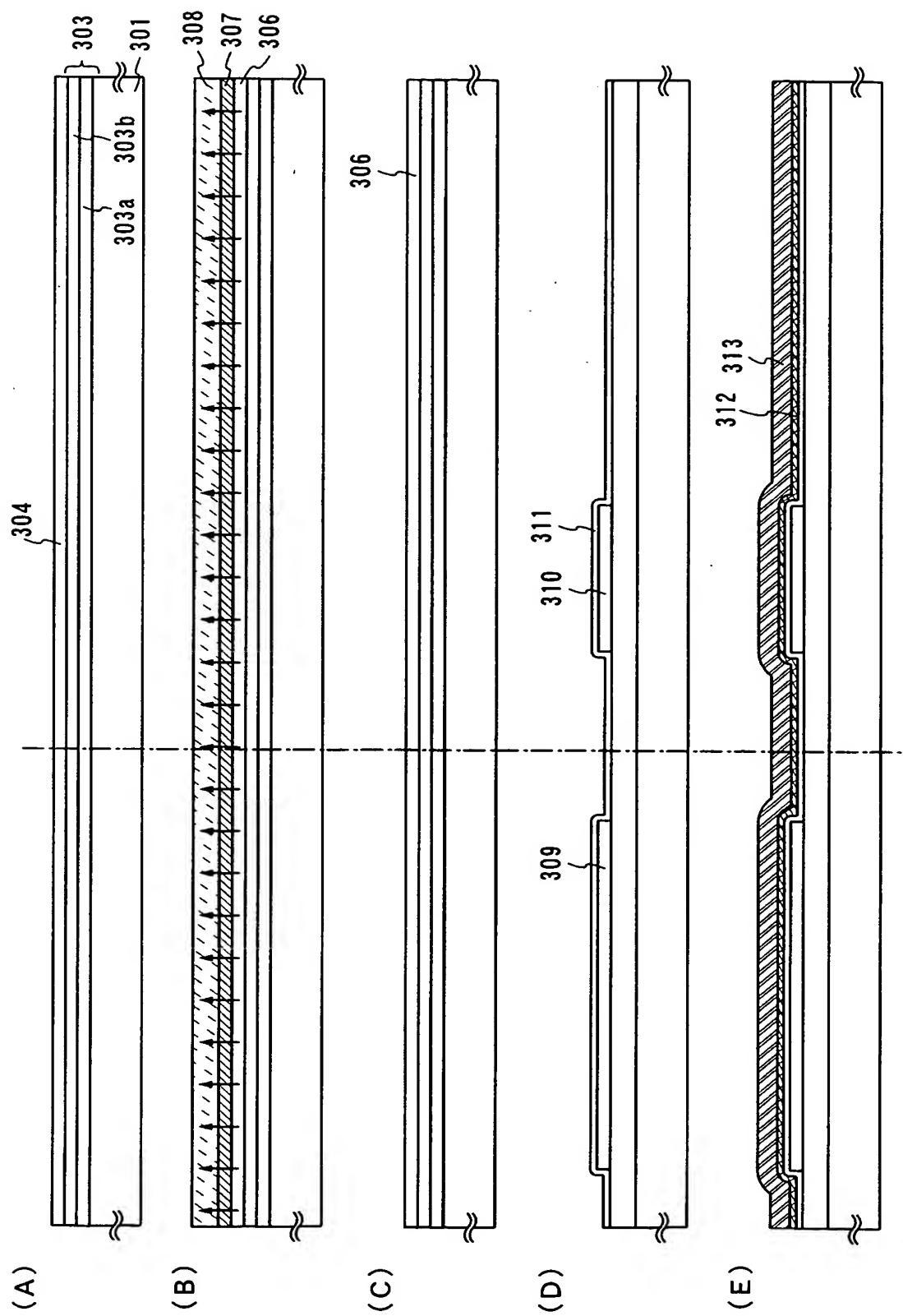
(B)



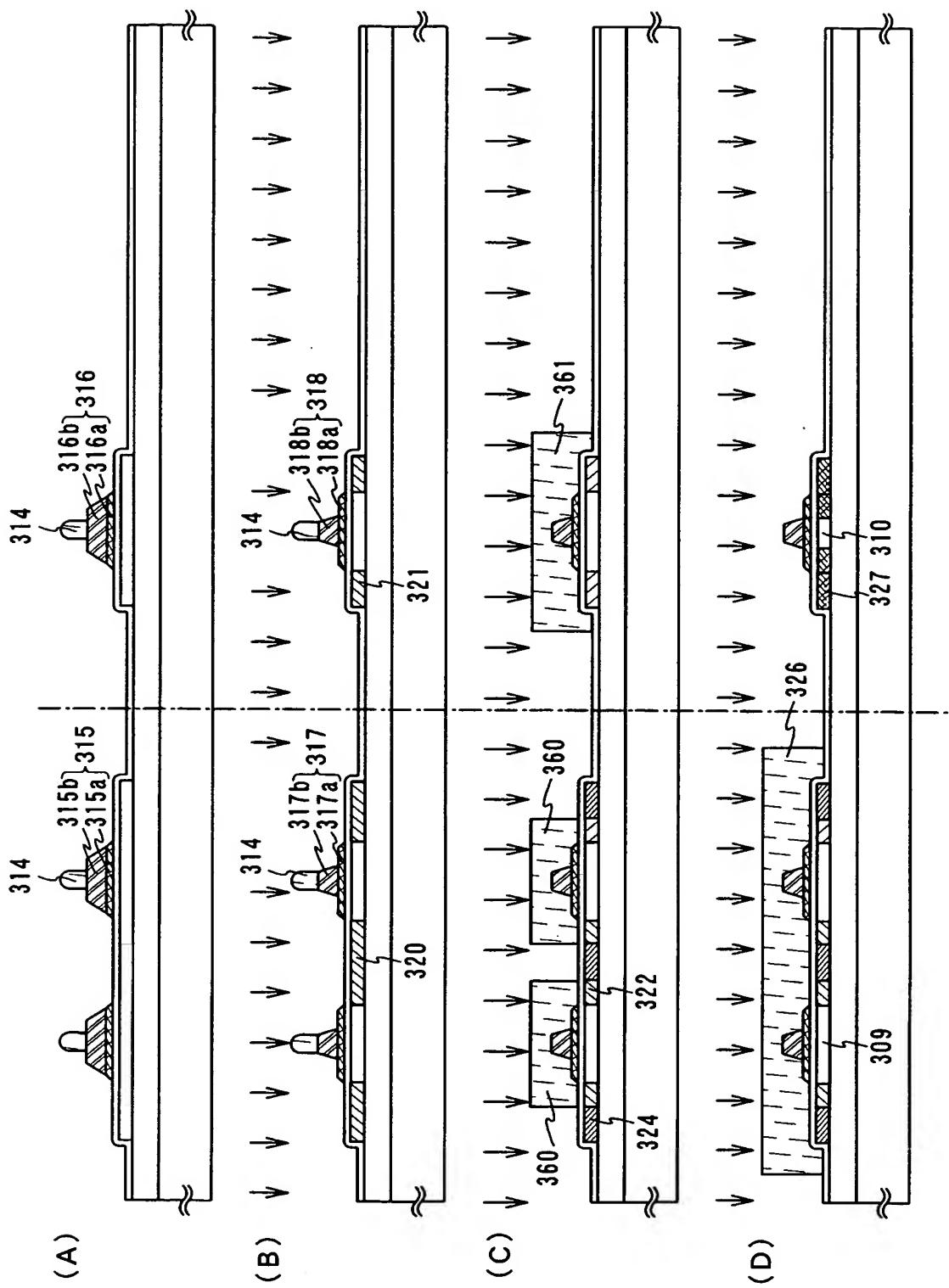
【図5】



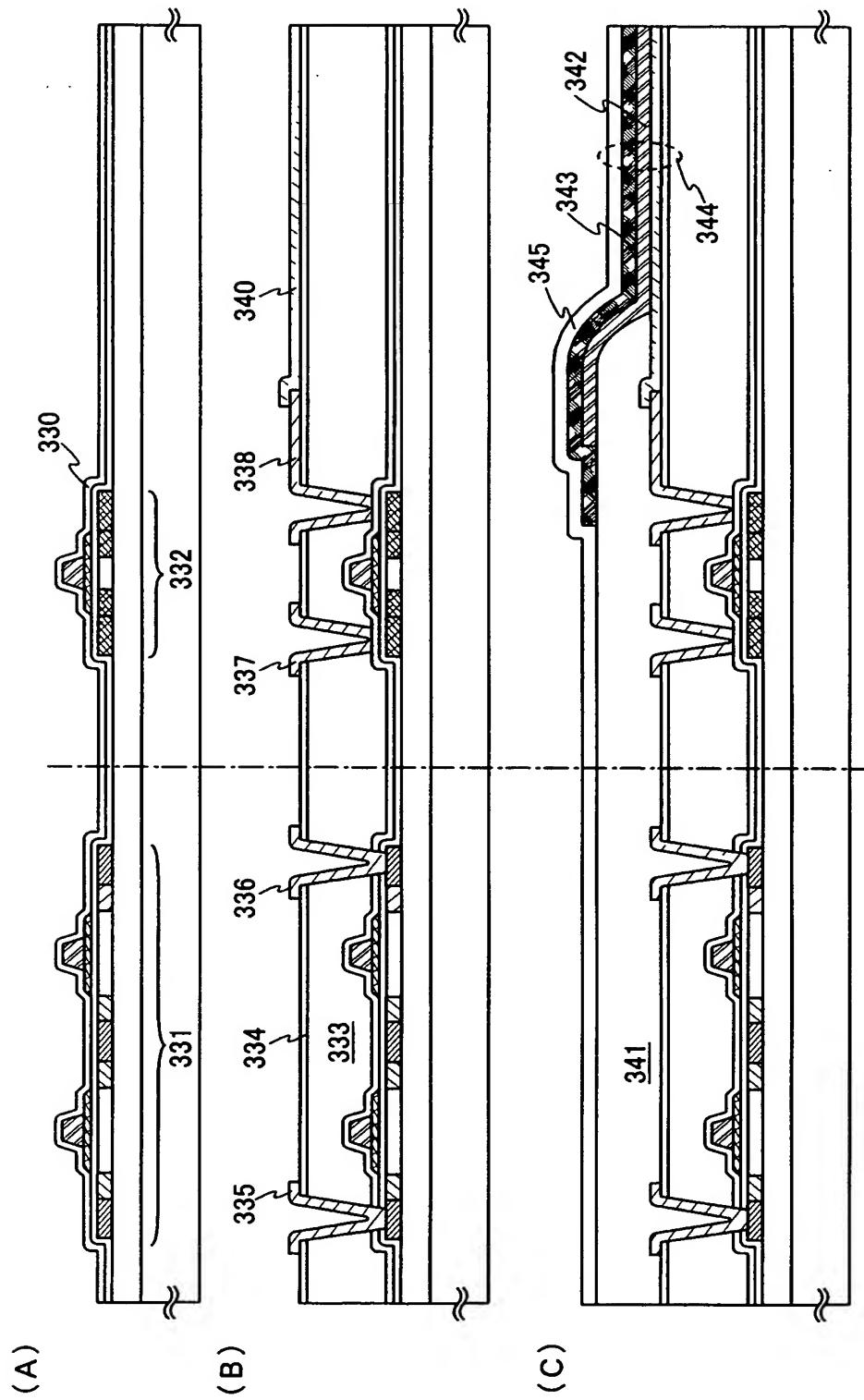
【図6】



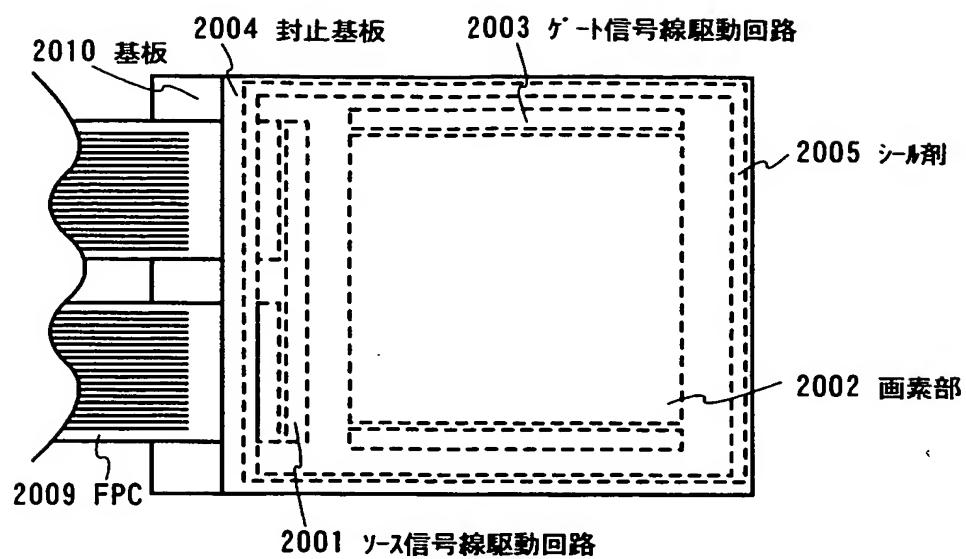
【図7】



【図 8】

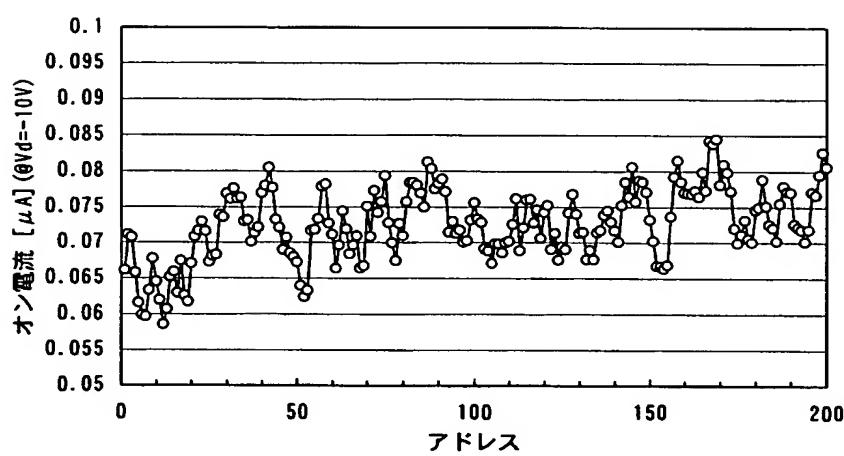


【図9】

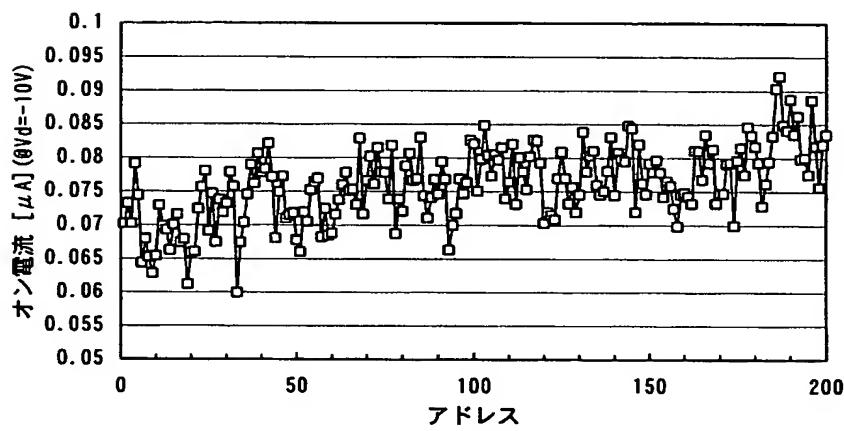


【図10】

(A)

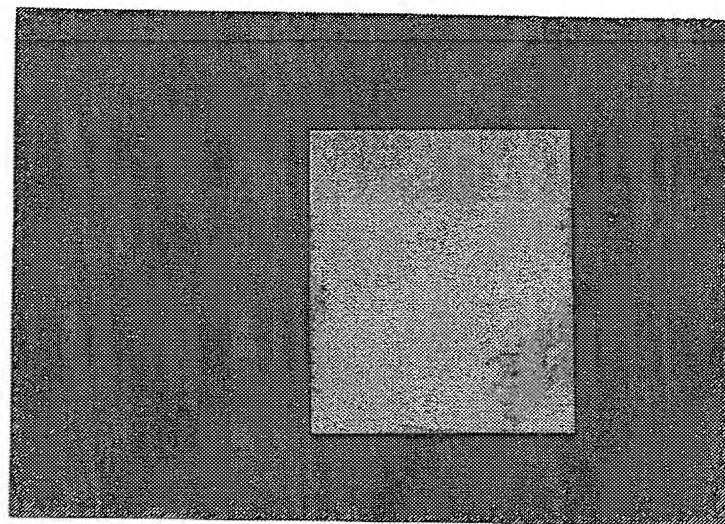


(B)

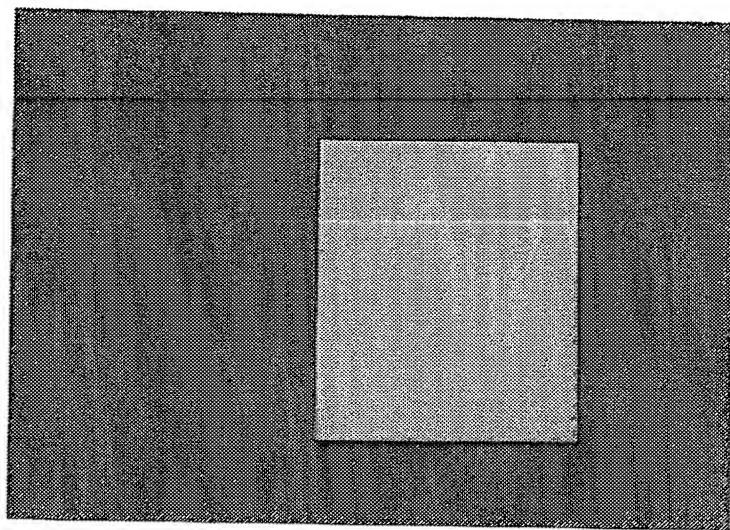


【図11】

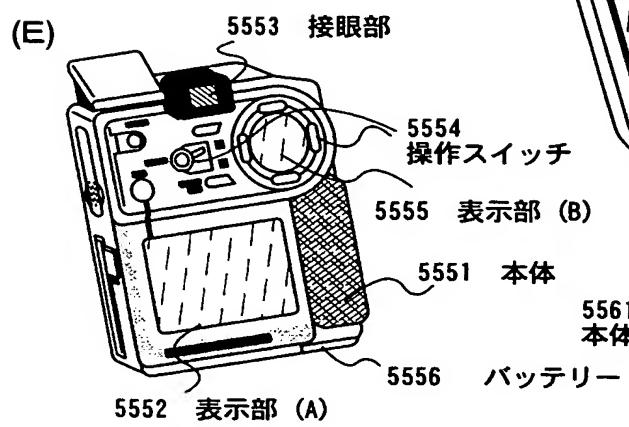
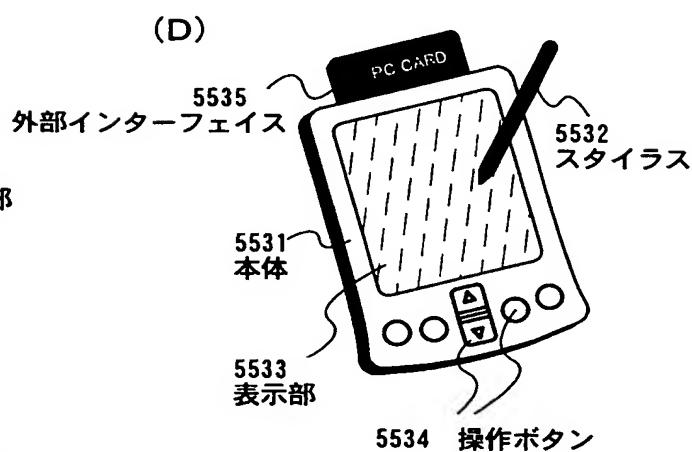
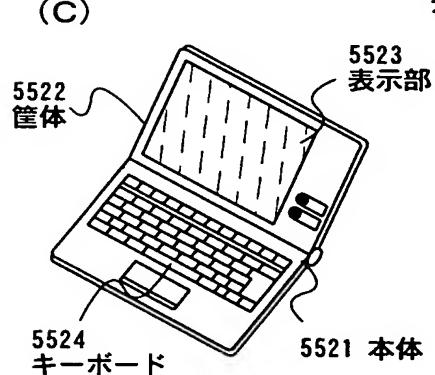
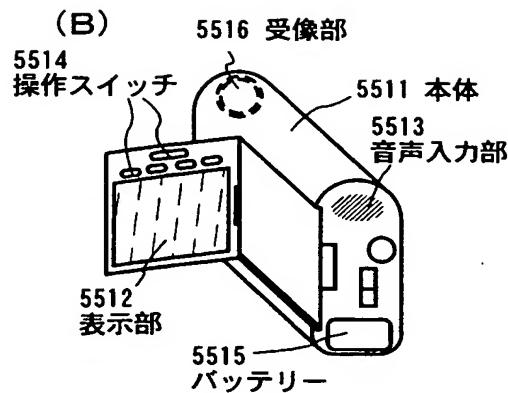
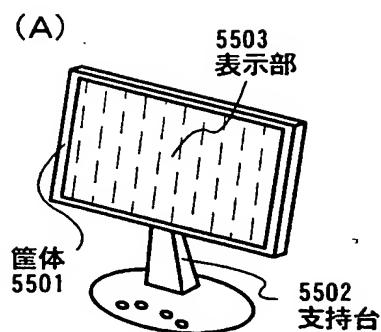
(A)



(B)



【図12】



【書類名】 要約書

【要約】

【課題】 薄膜トランジスタ（TFT：Thin film transistor）の電気的特性がばらつくと、表示画像に輝度ムラ若しくは階調ムラなどの表示ムラが生じるという問題がある。本発明では、TFTの電気的特性ばらつきを低減し、表示ムラが低減した表示装置を提案することを課題とする。

【解決手段】 本発明の表示装置は、複数のTFTが配列されたTFTアレイ基板において、隣接するTFTの飽和領域におけるオン電流値の変動率が±12%以下であることを特徴としている。

【選択図】 図1

特願 2003-072412

出願人履歴情報

識別番号 [000153878]  
1. 変更年月日 1990年 8月17日  
[変更理由] 新規登録  
住所 神奈川県厚木市長谷398番地  
氏名 株式会社半導体エネルギー研究所